





# Inhalt

---

- Entwicklungsgeschichte
- Architektur
  - Pipelining + Delay Slots
  - Stack
  - Subroutinen
  - Register Windows
  - Machine Instructions
- Sun-Prozessoren



# SPARC Prozessor

---

- Scalable Processor Architecture
- Open Prozessor (offener Standard)
- RISC-Architektur
  - Min. Anzahl Instruktionen
  - Pipelining
  - Komplizierte Instruktionen durch mehrere einfache ersetzen



# Historische Entwicklung

---

- 1963: Thorton Cray entwickelt Control Data CDC6600
- 1976: Weiterentwicklung: DLX als Modell, verbaut in IBM 801, Intel I860, Sun-4, SparcStation-1
- 1980: Beginn des Berkley Projektes.
  - RISC I und RISC II in NMOS-VLSI
  - Neue Load/Store Architektur + Einführung von Registerfenstern
- 1986: Industrielle Fertigung von RISC Prozessoren
- 1987: SUN Microsystems SPARC Entwicklung
  - Basierend auf Berkley RISC II



# Pipelining

---

- SPARC besitzt eine 2-Stufige Pipeline
- Beim Branch werden alle Befehle in der Pipeline fertig bearbeitet, nicht geleert.
  - Programm Counter und Next Programm Counter
  - Delayed Control Transfer Instructions
    - Beim Call wird der verbleibende Befehl in der Pipe mit NOP ausgefüllt.



# Delay Slots - Beispiel

---

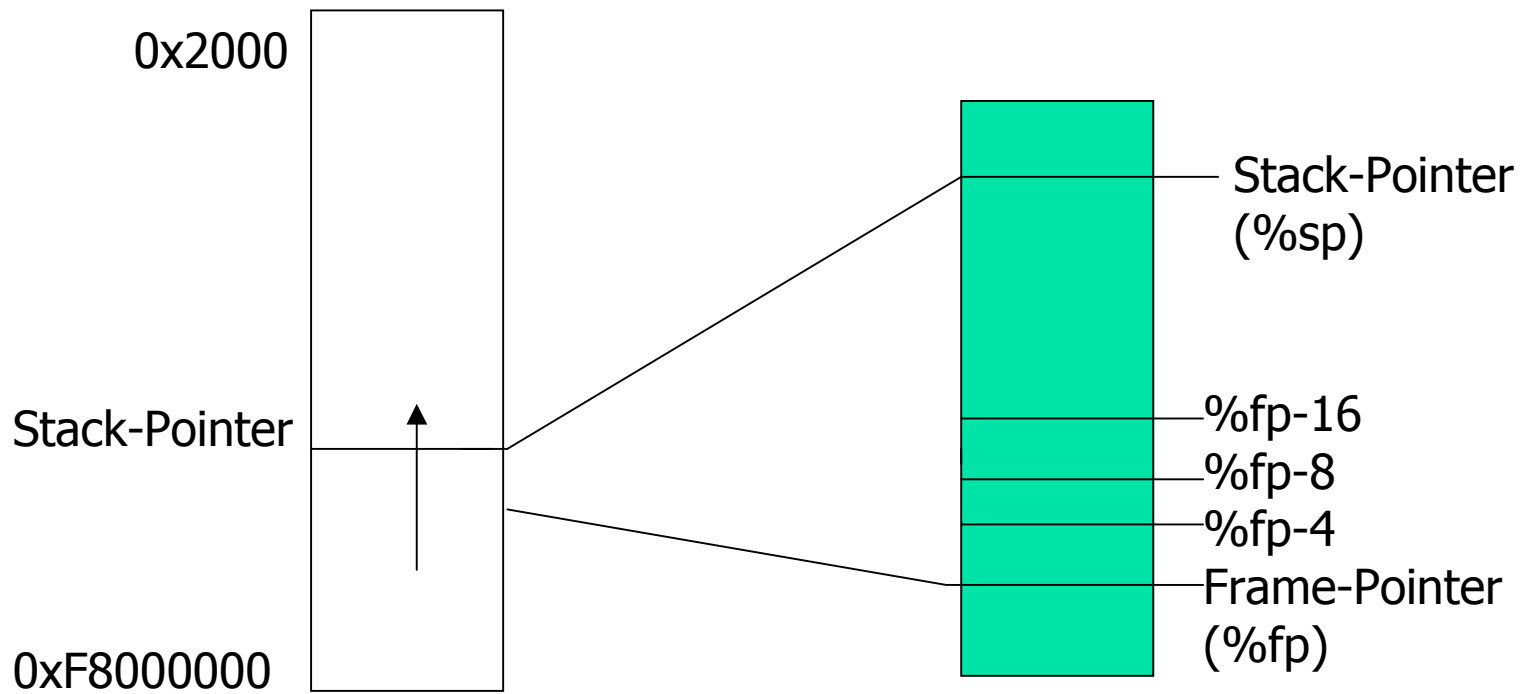
```
do {  
    y=((x-1) * (x-7)) / (x-11);  
    x++;  
} while(x<11);
```

```
loop:    sub %10,1,%0        ! (x-1) nach %0 (1. Faktor)  
        sub %10,7,%01      ! (x-7) nach %01 (2. Faktor)  
        call .mul          ! sub-routine, Ergebnis in %0  
        → nop             ! delay slot        sub %10,11,%01     ! (x-11) nach %01 Divisor  
        call .div         ! sub-routine, Ergebnis in %0  
        → nop        cmp %10,11        ! Vergleich x < 11  
        bl loop          ! branch less (Schleife)  
        → nop           ! delay slot
```

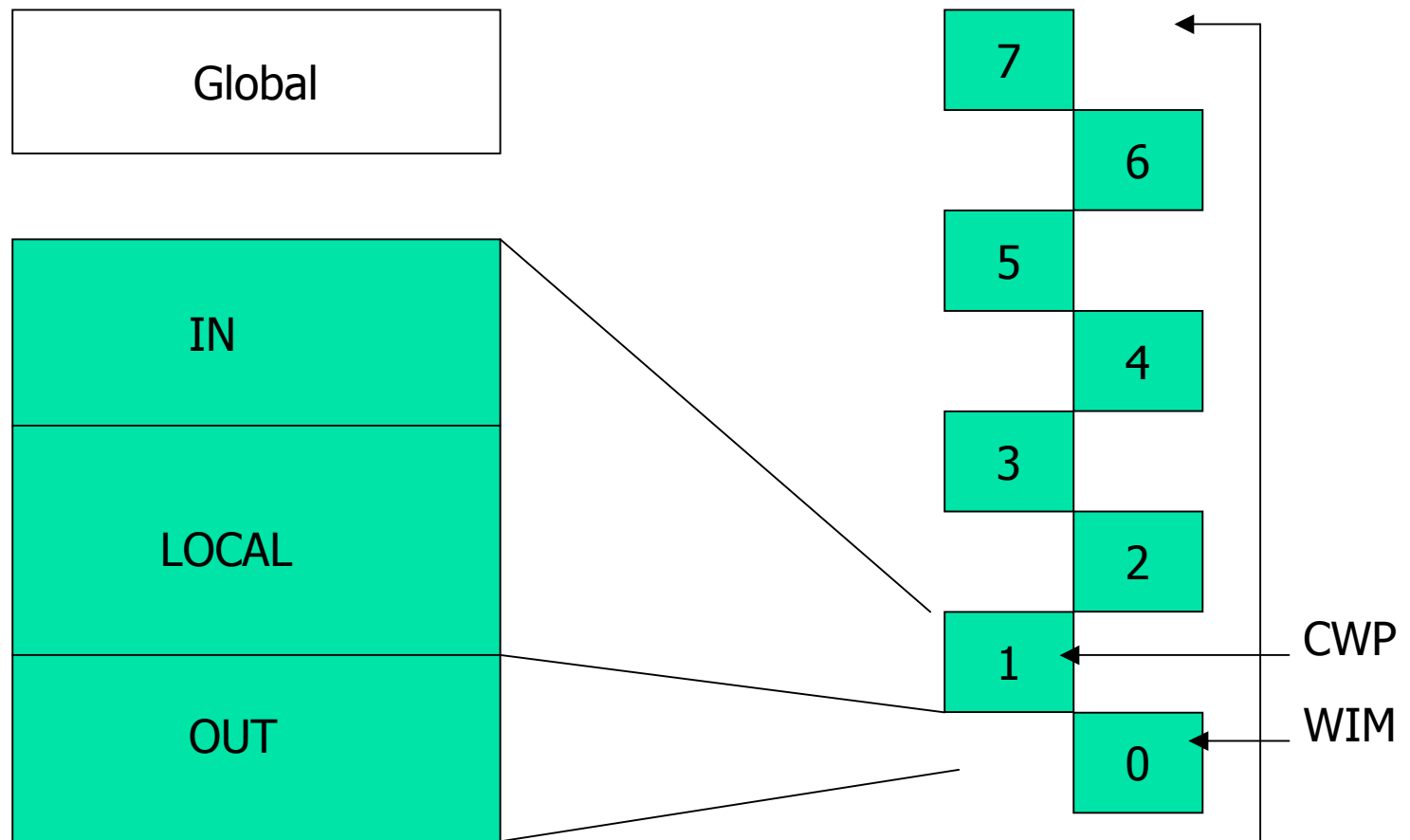


# Stack

---



# Register Windows





# Traps

---

- Eine Trap ist eine Übertragung der Steuerung zum Aufseher durch einen besonderen trap Tabelle, der die ersten 4 Anweisungen von jedem trap behandler enthält.
- Eine **instruction-induced exception** oder eine external **interrupt Request** kann die folgende 3 kategorien von Traps verursachen
- **Precise trap**
- **Deferred trap**
- **Interrupting trap**



# Machine Instructions

---

	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0
Format-3 mit Register																						
Format-3 mit Konstante																						
Format-2 (branch)																						
Format-2 (sethi)																						
Format-1 (call)																						



# SPARC Versionen

---

<b>Prozessor</b>	<b>MHz</b>	<b>Version</b>	<b>Datum</b>
SuperSPARC	50-80	v8	22.01.92
microSPARC II	80-125	v8	01.01.93
microSPARC IIep	180	v8	11.11.97
UltraSPARC	140-200	v9	02.11.95
UltraSPARC II	250-336	v9	15.04.97
	360 / 400		16.11.98
UltraSPARC IIi	270-333		11.11.97
	360/440/480		16.11.98